

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-228470

(43)Date of publication of application : 03.09.1996

(51)Int.Cl.

H02M 3/00

G05F 1/00

H02M 3/07

(21)Application number : 07-058060

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 21.02.1995

(72)Inventor : YAMAGUCHI YOSHINORI

KONO KENJI

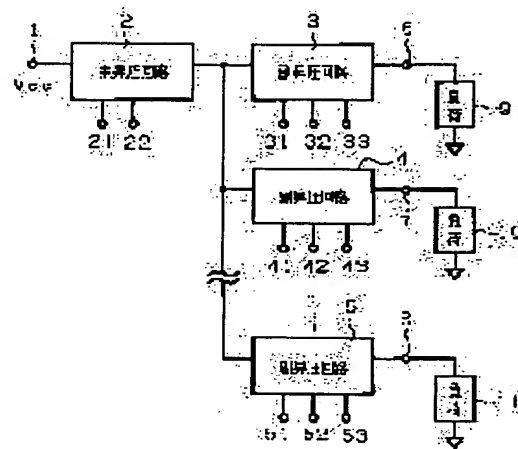
MIYAGAWA NOBUAKI

(54) BOOSTER CIRCUIT

(57)Abstract:

PURPOSE: To provide a booster circuit by reducing a current flowing to an element excluding a load without increasing a circuit scale in order to supply a high voltage having a different value for a plurality of loads at a timing required for the load in the booster circuit structured using a semiconductor element.

CONSTITUTION: A main booster circuit 2 for boosting to a necessary magnitude or so in common with each of loads 9 to 11 is provided and the later step is connected with sub-booster circuits 3 to 5 for boosting relative to each load or controlling an output timing. Then, as compared with the case where the booster circuit is provided separately each load, the circuit scale can be reduced. Further, as an output voltage for any load can also be boosted without dividing pressure of the output voltage of the main booster circuit, a potentiometer circuit is not required. If there is the potentiometer circuit, a current is also required to flow into the potentiometer circuit in addition to a current flowing into the load, however as there is not the potentiometer circuit, it is possible to use effectively a current for load operations and supply a high voltage having a different value relative to a timing required for the load.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-228470

(43)公開日 平成8年(1996)9月3日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 2 M 3/00			H 0 2 M 3/00	U
G 0 5 F 1/00			G 0 5 F 1/00	G
H 0 2 M 3/07			H 0 2 M 3/07	

審査請求 未請求 請求項の数3 F D (全 7 頁)

(21)出願番号 特願平7-58060

(22)出願日 平成7年(1995)2月21日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72)発明者 山口 義紀

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72)発明者 河野 健二

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

(72)発明者 宮川 宣明

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内

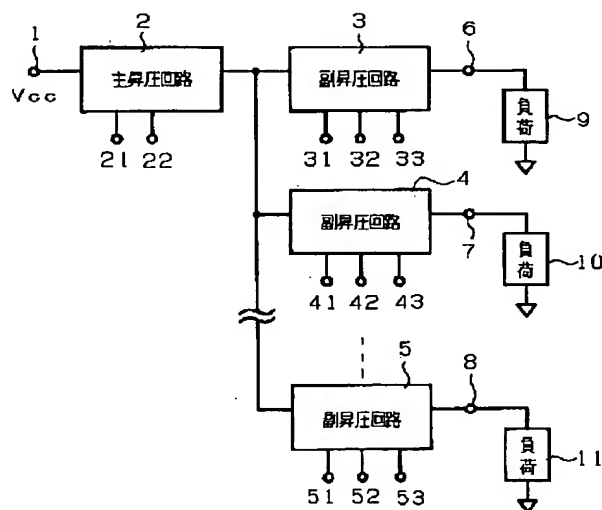
(74)代理人 弁理士 本庄 富雄

(54)【発明の名称】 昇圧回路

(57)【要約】

【目的】 半導体素子を用いて構成された昇圧回路において、複数の負荷に対し異なる値の高電圧を、負荷が要求するタイミングにおいて供給するための昇圧回路を、回路規模を大きくせず、負荷以外のものに流れてしまう電流を少なくして実現させる。

【構成】 各負荷6～9に共通して必要な大きさ程度に昇圧する主昇圧回路2を設け、その後段に、各負荷に対応させて昇圧したり出力タイミングを制御したりする副昇圧回路3～5を接続する。すると、各負荷毎に個別に昇圧回路を設ける場合に比し、回路規模を小さくすることが出来る。また、どの負荷に対する出力電圧も、主昇圧回路の出力電圧を分圧して得ているのではなく昇圧して得ているので、分圧回路を必要としない。分圧回路があれば、負荷へ流す電流以外に分圧回路にも電流を流す必要があるが、それが無いので電流を負荷の動作に効率よく使用出来、負荷が要求するタイミングに応じて異なる値の高電圧を供給できる。



【特許請求の範囲】

【請求項 1】 入力電圧が供給される 1 つの主昇圧回路と、該主昇圧回路の出力を入力とし、出力の値および出力するタイミングを個別に設定できる 1 個以上の副昇圧回路とを具備したことを特徴とする昇圧回路。

【請求項 2】 前記副昇圧回路が、前記主昇圧回路の出力電圧により並列接続で充電され且つ充電後に直列接続に切り換えられて充電電圧が重畳される複数のキャパシタと、該並列接続と直列接続とを交互に繰り返させる接続切換制御手段と、出力電圧の供給を停止するため制御信号により出力端子を短絡する出力電圧供給停止手段とを有するものであることを特徴とする請求項 1 記載の昇圧回路。

【請求項 3】 前記副昇圧回路のキャパシタの数が、要求される昇圧出力電圧の大きさに応じて決定されることを特徴とする請求項 2 記載の昇圧回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体素子を用いて構成され、複数の負荷に対し異なる値の高電圧を供給するための昇圧回路に関するものである。

【0002】

【従来の技術】 複写機等の電子機器においては、複数の負荷に対し異なる値の高電圧を供給することが要求されることがある。その要求に応える 1 つの方法として、従来、チャージポンプ回路を用いた昇圧回路が用いられている。

【0003】 図 10 は、そのような従来の昇圧回路を示す図である。図 10 において、1 は入力電圧端子、13 はチャージポンプ回路、14 は分圧回路、14A、14B は分圧回路素子としての MOS トランジスタ、15 は降圧制御素子としての MOS トランジスタ、16、17 は出力電圧端子、21、22 は制御信号入力端子、60～64 は接続点、C₁～C₄、C_∞、C_n はキャパシタ、D₁～D₅ はダイオードである。

【0004】 この昇圧回路の全体動作は、まず入力電圧端子 1 への入力電圧 V_α をチャージポンプ回路 13 で昇圧し、高電圧を得る。その高電圧をキャパシタ C_∞ で平滑して出力電圧端子 16 から取り出すと共に、降圧制御回路 (MOS トランジスタ 15) にて何 V か降圧し、キャパシタ C_n で平滑して出力電圧端子 17 から取り出す。かくして、値の異なる 2 つの電圧が取り出される。

【0005】 図示するチャージポンプ回路 13 の構成は、公知のものである。複数のダイオードが縦続接続され、その一端が入力端子とされ、他端が出力端子とされる。ダイオード相互の接続点 60～63 には、それぞれキャパシタの一端が接続される。キャパシタの他端は、第 1 段のキャパシタ C₁ は制御信号入力端子 21 に接続され、第 2 段のキャパシタ C₂ は制御信号入力端子 22 に接続されるというように、制御信号入力端子 2

1、22 に交互に接続される。なお、集積回路の半導体素子で昇圧回路を構成する場合、ダイオード D₁～D₅ は、MOS トランジスタをいわゆるダイオード接続することによって構成してもよい (なお、本明細書の他の図における説明ではいちいち断らないが、そこで出て来るダイオードも、同様に構成してもよい)。

【0006】 制御信号入力端子 21、22 への制御信号としては、振幅が入力電圧 V_α と同じで、21 と 22 とでハイ、ローの変化時点が同じにならないようにされたクロックが用いられる。まず、制御信号入力端子 21 の制御信号がローの時、キャパシタ C₁ が次の経路で電圧 V_α に充電される。入力電圧端子 1 → ダイオード D₁ → キャパシタ C₁ → 制御信号入力端子 21。次に、制御信号入力端子 21 の制御信号がハイになると、キャパシタ C₁ の電位は全体として該制御信号のハイの電圧 (V_α) だけ押し上げられ、接続点 60 の電圧は 2 V_α となる。

【0007】 次に、制御信号入力端子 22 の制御信号がローになると、キャパシタ C₂ は、その 2 V_α の電圧により充電され、その充電電圧は 2 V_α となる。次に制御信号入力端子 22 の制御信号がハイとなると、キャパシタ C₂ の電位は全体として該制御信号のハイの電圧 (V_α) だけ押し上げられ、接続点 61 の電圧は 3 V_α となる。以下、同様の動作が繰り返され、ダイオード D₅ のカソードからは 5 V_α に昇圧された電圧を取り出すことが出来る。

【0008】 出力電圧端子 16 からは、その 5 V_α の電圧が、キャパシタ C_∞ で平滑されて取り出される。一方、出力電圧端子 17 からは、降圧制御回路である MOS トランジスタ 15 にて、5 V_α より何 V か降圧された電圧が取り出される。降圧電圧の大きさは、MOS トランジスタ 15 に与えられるゲート電圧によって制御されるが、そのゲート電圧は、昇圧電圧 5 V_α を分圧回路 14 で分圧して得るようにしている。分圧回路 14 は、2 つの MOS トランジスタ 14A、14B で構成され、両者で分圧した電圧 (接続点 64 に現れる電圧) が、ゲート電圧として用いられる。図 10 では降圧制御回路を 1 つしか設けていないが、更に別の異なった値の出力電圧を得たいという場合には、更にそれに対応した降圧制御回路が設けられる。

【0009】 なお、この種の昇圧回路に関する従来の文献としては、例えば、特開平 2-276467 号公報がある。

【0010】

【発明が解決しようとする課題】

(問題点) しかしながら、前記した従来の昇圧回路には、次のような問題点があった。第 1 の問題点は、各出力電圧を出すタイミングを、個別に制御することが出来ないという点である。第 2 の問題点は、分圧回路に流れる電流は負荷には流れて行かないから、負荷の動作に使用される電流がその分だけ少なくなるという点である。

【0011】 (問題点の説明) まず第 1 の問題点について

て説明する。異なる値の出力電圧は異なる負荷に供給するわけであるが、電圧を必要とするタイミングは、全ての負荷で同じだとは限らない。しかしながら、図10に示したような従来の昇圧回路では、出力電圧端子16および17からは、同じタイミングで出力電圧が供給される。もし、別のタイミングで供給しようとするなら、別の昇圧回路を設ける必要があり、回路規模が大となってしまう。特に、回路を形成するスペースを出来るだけ少なくすることが要請される集積回路にあっては、出力のタイミングが異なる負荷毎に昇圧回路を形成すること

は、その要請に反することになる。
 【0012】次に第2の問題点について説明する。図10の昇圧回路では分圧回路14を必要とし、接続点64に分圧電圧を生ぜしめるため、分圧回路素子であるMOSトランジスタ14A、14Bに電流が流れる必要がある。しかし、この電流は、出力電圧端子16や17に接続される負荷に流れてゆくわけではない。従って、負荷の動作に使用される電流がその分だけ少なくなり、その意味において電流の使用効率が悪い。本発明は、以上のような問題点を解決することを課題とするものである。

【0013】

【課題を解決するための手段】前記課題を解決するため、本発明の昇圧回路では、入力電圧が供給される1つの主昇圧回路と、該主昇圧回路の出力を入力とし、出力の値および出力するタイミングを個別に設定できる1個以上の副昇圧回路とを具えることとした。

【0014】この副昇圧回路は、前記主昇圧回路の出力電圧により並列接続で充電され且つ充電後に直列接続に切り換えられて充電電圧が重畳される複数のキャパシタと、該並列接続と直列接続とを交互に繰り返させる接続切換制御手段と、出力電圧の供給を停止するため制御信号により出力端子を短絡する出力電圧供給停止手段とを有する構成とすることが出来る。その場合、副昇圧回路のキャパシタの数は、要求される昇圧出力電圧の大きさに応じて決定する。

【0015】

【作 用】本発明では、各負荷に共通して必要な大きさ程度に昇圧する主昇圧回路を設け、その後段に、各負荷に対応させて昇圧したり出力タイミングを制御したりする副昇圧回路を接続する。すると、各負荷毎に個別に昇圧回路を設ける場合に比し、回路規模を小にすることが出来る。また、どの負荷に対する出力電圧も、主昇圧回路の出力電圧を分圧して得ているのではなく昇圧して得ているので、単に分圧電圧を生ずるためだけの分圧回路を含んではいない。そのため、負荷に供給する電流以外に電流を流す必要はなく、電流を負荷の動作に効率よく使用することが出来る。

【0016】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

（全体構成）図1は、本発明の昇圧回路のブロック図である。図1において、1は入力電圧端子、2は主昇圧回路、3～5は副昇圧回路、6～8は出力電圧端子、9～11は負荷、21、22、31、32、33、41、42、43、51、52、53は制御信号入力端子である。本発明では、主昇圧回路2を1つ設け、副昇圧回路を負荷に対応させて設ける。そして、主昇圧回路2の出力電圧を副昇圧回路の入力電圧として用い、副昇圧回路には、その出力電圧を供給したり停止したりする制御手段を設ける。

【0017】図2は、本発明の昇圧回路の出力電圧のタイムチャートである。横軸は時間、縦軸は電圧を表している。曲線イ～ニは、それぞれ次のものを表している。

曲線イ…主昇圧回路2の出力電圧

曲線ロ…副昇圧回路3の出力電圧

曲線ハ…副昇圧回路4の出力電圧

曲線ニ…副昇圧回路5の出力電圧

【0018】図1の主昇圧回路2は、入力電圧端子1に電源電圧 V_{cc} が印加されている間中、主昇圧回路2の回路構成で定まる昇圧電圧を出力しており、それが曲線イで表されている。各副昇圧回路はこの昇圧電圧を入力として取り入れ、それぞれの回路構成で定まる昇圧電圧を、所定のタイミングで出力する。例えば、副昇圧回路3から負荷9への出力電圧は、時刻 t_0 で供給が開始され、時刻 t_1 で供給が停止されている。他の副昇圧回路4、5の出力電圧も、同様に制御されて負荷に供給される。

【0019】以下、主昇圧回路の構成および動作、副昇圧回路の構成および動作について詳細に説明する。

（主昇圧回路）まず、図3に主昇圧回路の第1の例を示す。主昇圧回路には、チャージポンプ回路を用いることが出来る。これは、従来例でも使用していたのと同様のチャージポンプ回路であり、符号は図10のものに対応している。その構成および動作は、同じであるので省略する。端子201から出る出力電圧を、副昇圧回路の入力として使う。なお、キャパシタの接続段数は、各負荷に共通して必要とする電圧の大きさおよび電源電圧 V_{cc} の大きさを考慮して、適宜決定される。

【0020】図5は、主昇圧回路の第2の例を示す図である。符号は図3のものに対応し、12は昇圧単位電圧発生回路、65～70は接続点、 $C_1 \sim C_7$ はキャパシタ、 $D_1 \sim D_7$ はダイオード、 $T_1 \sim T_7$ はPチャンネル型のMOSトランジスタ、 $T_8 \sim T_9$ はNチャンネル型のMOSトランジスタ、 V_{ss} は接地電位である。昇圧単位電圧発生回路12は、主昇圧回路の昇圧単位となる電圧を発生する回路である。昇圧単位電圧発生回路12で発生される電圧を重畳することにより、主昇圧回路の出力電圧が得られる。

【0021】昇圧単位電圧発生回路12は、次のように構成される。キャパシタと、該キャパシタの第1の端子

にカソードが接続されたダイオードと、該キャパシタの第2の端子に一端が一括接続された第1、第2のMOSトランジスタから成る接続経路切換回路とから構成される。第1のMOSトランジスタの他端は、最下段の昇圧単位電圧発生回路のものを除き、下段の昇圧単位電圧発生回路のキャパシタと接続される。最下段の第1のMOSトランジスタの他端は、予め設定された電圧(図5の場合、電源電圧 V_{α})に接続される。第2のMOSトランジスタの他端は、接地電位 V_{ss} とされる。前記ダイオードのアノードは、入力電圧端子1に接続される。

【0022】キャパシタ C_5 が属している昇圧単位電圧発生回路12に例をとって接続経路切換回路を説明すると、 T_1 が第1のMOSトランジスタであり、 T_4 が第2のMOSトランジスタである。従って、第1のMOSトランジスタ T_1 の他端子は下段の昇圧単位電圧発生回路のキャパシタ C_5 の第1の端子に接続され、第2のMOSトランジスタ T_4 の他端子は接地電位 V_{ss} とされている。そして、最下段の昇圧単位電圧発生回路の第1のMOSトランジスタ T_3 の他端は、予め設定された電圧(V_{α})に接続される。

【0023】第1のMOSトランジスタのゲートは、最下段の昇圧単位電圧発生回路12の場合には制御信号入力端子21に接続され、他の昇圧単位電圧発生回路12の場合には、入力電圧端子1に接続される。第2のMOSトランジスタのゲートは、全て他方の制御信号入力端子22に接続される。制御信号入力端子21、22からは、接続経路切換回路を構成するMOSトランジスタをオン、オフする制御信号が入力される。例えば、振幅が電源電圧 V_{α} の矩形波信号を用いることが出来る。

【0024】動作の概要は、まず全ての昇圧単位電圧発生回路12のキャパシタ $C_5 \sim C_7$ は、入力電圧 V_{α} により並列接続で充電され、ついで接続経路切換回路によって直列接続に切り換えられ、充電電圧が重畳される。次に、動作を詳細に説明する。

【0025】図4は、制御信号と昇圧単位電圧発生回路の動作状況を示す図である。図4(イ)は制御信号入力端子21の制御信号 V_{z1} 、(ロ)は第1のMOSトランジスタ $T_1 \sim T_3$ のオン・オフ状況、(ハ)は制御信号入力端子22の制御信号 V_{z2} 、(ニ)は第2のMOSトランジスタ $T_4 \sim T_6$ のオン・オフ状況、(ホ)はキャパシタの接続状態を示している。なお、昇圧単位電圧発生回路12の動作説明においては、煩雑を避けるため、オンしているMOSトランジスタでの電圧降下は無視している。

【0026】制御信号 V_{z1} 、 V_{z2} が共にハイ(V_{α})であると、ドレインに V_{α} が印加されている第1のMOSトランジスタ T_3 のゲートには、制御信号入力端子21からの V_{α} が印加されることになるから、オフとなる。最下段以外の各昇圧単位電圧発生回路12中の第1のMOSトランジスタ T_1 、 T_2 は、ダイオードの順電圧降

下を V_d とすると、ゲートに電圧 V_{α} が印加され、ドレインにそれより低い電圧($V_{\alpha} - V_d$)が印加されているから、オフである。

【0027】一方、ドレインが接地電位 V_{ss} とされている各昇圧単位電圧発生回路12の第2のMOSトランジスタ $T_4 \sim T_6$ のゲートには、制御信号入力端子22からの V_{α} が印加されるから、全てオンとなる。従って、各キャパシタは、入力電圧端子1と接地との間で並列接続された形となり、それぞれ入力電圧 V_{α} で充電される。充電電圧は、 $V_{\alpha} - V_d$ である。その充電は、制御信号入力端子22の制御信号が時刻 t_1 でハイからロー(V_{ss})にされた時(図4参照)、第2のMOSトランジスタが全てオフとされることにより、全て停止される。

【0028】時刻 t_2 で制御信号 V_{z1} がハイからロー(V_{ss})にされた時、ドレインに V_{α} が印加されているMOSトランジスタ T_3 は、ゲートに制御信号入力端子21からのローの制御信号が印加されるからオンとなる。すると、接続点69の電位は、キャパシタ C_7 の容量結合作用により V_{α} だけ押し上げられ、次のようになる。

$$(V_{\alpha} - V_d) + V_{\alpha}$$

【0029】接続点69はMOSトランジスタ T_2 のドレインに接続されているから、 $V_{\alpha} > V_d$ であるように電源電圧 V_{α} が選定されていれば、MOSトランジスタ T_2 におけるドレイン電圧は、ゲート電圧 V_{α} より大となるから、MOSトランジスタ T_2 もオンとなる。同様にして、各昇圧単位電圧発生回路12内の第1のMOSトランジスタは、瞬時に連鎖的にオンとなる。そのため、昇圧単位電圧発生回路12のキャパシタ $C_5 \sim C_7$ は、直列接続とされる。

【0030】従って、接続点65に現れる電圧は、MOSトランジスタ T_3 のドレインに印加されている電圧 V_{α} に、各昇圧単位電圧発生回路12のキャパシタの充電電圧が重畳された、次の電圧となる。

$$3(V_{\alpha} - V_d) + V_{\alpha}$$

この電圧がダイオード D_9 を経て取り出されるから、端子201からの出力電圧は、

$$3(V_{\alpha} - V_d) + V_{\alpha} - V_d = 4(V_{\alpha} - V_d)$$

となる。これが、図5の回路を主昇圧回路2として用いた場合の、主昇圧回路2の出力電圧である。出力電圧の値は、昇圧単位電圧発生回路12の数を適宜選定することにより、決定される。

【0031】(副昇圧回路) 図6は、副昇圧回路3の1例を示す図である。6は出力電圧端子、12は昇圧単位電圧発生回路、31、32、33は制御信号入力端子、71~76は接続点、202は端子、 $C_8 \sim C_{12}$ はキャパシタ、 $D_{10} \sim D_{13}$ はダイオード、 $T_7 \sim T_{10}$ はPチャンネル型のMOSトランジスタ、 $T_{11} \sim T_{14}$ はNチャンネル型のMOSトランジスタである。出力電圧端子6

10

20

30

40

50

は、図 1 の出力電圧端子 6 である。入力側の端子 202 に一端が接続されているキャパシタ C_8 と、出力電圧端子 6 に一端が接続されているキャパシタ C_9 とは、平滑用のキャパシタである。

【0032】端子 202 には、主昇圧回路の出力電圧が供給される。昇圧単位電圧発生回路 12 は、図 5 のそれと同様の構成である。制御信号入力端子 31, 32 からの制御信号により、キャパシタ $C_{10} \sim C_{12}$ が並列接続で充電され、ついで直列接続されるから、端子 202 に供給される主昇圧回路の出力電圧を昇圧した電圧が、接続点 71 に得られる。昇圧電圧の大きさは、この副昇圧回路 3 に接続する負荷 9 (図 1 参照) が要求する電圧に応じて、予め決定しておく。

【0033】MOS トランジスタ T_7 は、昇圧電圧を出力電圧端子 6 に出力するタイミングを決定するためのものである。MOS トランジスタ T_7 のゲートには端子 202 の電圧が印加されているが、そのドレインは接続点 71 に接続されているから、接続点 71 に昇圧電圧が現れた時、ドレイン電圧 > ゲート電圧という関係となり、MOS トランジスタ T_7 もオンする。接続点 71 の電圧は、MOS トランジスタ T_7 およびダイオード D_{10} を経て、出力電圧端子 6 に取り出される。なお、この時には、MOS トランジスタ T_{11} は、制御信号入力端子 33 からの制御信号によりオフとしておく。

【0034】出力電圧の供給の停止は、MOS トランジスタ T_{11} をオンすることによって行われる。MOS トランジスタ T_{11} をオン、オフする制御信号は、制御信号入力端子 33 から与えられる。この制御信号をハイ (例、 V_{α}) の値にすると、MOS トランジスタ T_{11} はオンされる。このように、副昇圧回路 3 の出力電圧の供給、停止のタイミングは、制御信号入力端子 31 ~ 33 により、独自に制御することが出来る。以上は副昇圧回路 3 を例にとって説明したが、他の副昇圧回路 4, 5 についても同様である。

【0035】(負極性出力の昇圧回路) また、前記の実施例では、正極性の出力電圧を得ているが、図 1 の主昇圧回路 2 および副昇圧回路 3 ~ 5 に、それぞれ負極性電圧を出力する回路を用いれば、負極性の昇圧電圧を得ることが出来る。因みに、図 7 は負の出力電圧を出す主昇圧回路の第 1 の例を示す図であるが、これは図 3 の回路において、入力電圧端子 1 を接地電位 V_{ss} とし、ダイオードの向きを逆にするという変更を行ったものである。

【0036】図 8 は、負の出力電圧を出す主昇圧回路の第 2 の例を示す図であり、図 5 の回路において、電圧 V_{α} を印加していた箇所を接地電位 V_{ss} とし、接地電位 V

ss としていた箇所に電圧 V_{α} を印加し、ダイオードの向きを逆にし、MOS トランジスタの P チャンネル、N チャンネルの型を逆にするという変更を行ったものである。図 9 は、負の出力電圧を出す副昇圧回路の 1 例を示す図であり、図 6 の回路において、図 5 に対して行ったと同じ変更を行ったものである。

【0037】

【発明の効果】以上述べた如く、本発明の昇圧回路によれば、各負荷に共通して必要な大きさ程度に昇圧する主昇圧回路を設け、その後段に、各負荷に対応させて昇圧したり出力タイミングを制御したりする副昇圧回路を接続したので、各負荷毎に個別に昇圧回路を設ける場合に比し、回路規模を小さくすることが出来る。また、どの負荷に対する出力電圧も、主昇圧回路の出力電圧を分圧して得ているのではなく昇圧して得ているので、分圧回路を含んでおらず、負荷に供給する電流以外に電流を流す必要はなくなる。

【図面の簡単な説明】

【図 1】 本発明の昇圧回路のブロック図

【図 2】 本発明の昇圧回路の出力電圧のタイムチャート

【図 3】 主昇圧回路の第 1 の例を示す図

【図 4】 制御信号と昇圧単位電圧発生回路の動作状況を示す図

【図 5】 主昇圧回路の第 2 の例を示す図

【図 6】 副昇圧回路の 1 例を示す図

【図 7】 負の出力電圧を出す主昇圧回路の第 1 の例を示す図

【図 8】 負の出力電圧を出す主昇圧回路の第 2 の例を示す図

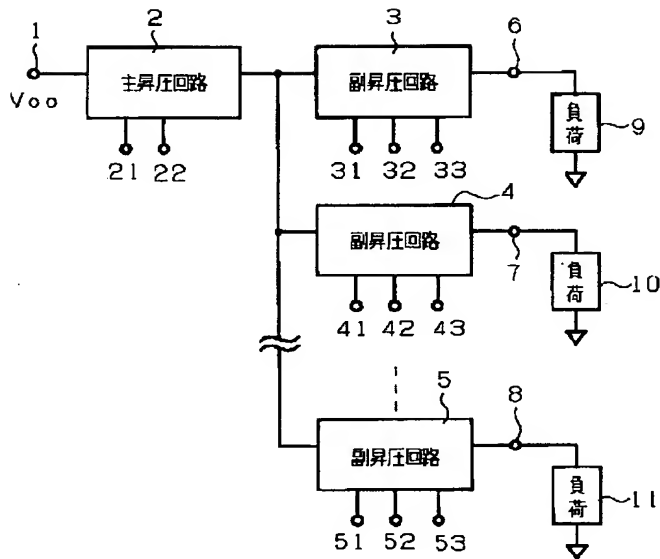
【図 9】 負の出力電圧を出す副昇圧回路の 1 例を示す図

【図 10】 従来の昇圧回路を示す図

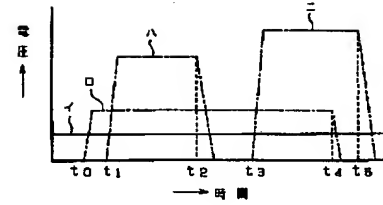
【符号の説明】

1…入力電圧端子、2…主昇圧回路、3~5…副昇圧回路、6~8…出力電圧端子、9~11…負荷、12…昇圧単位電圧発生回路、13…チャージポンプ回路、14…分圧回路、14A, 14B…MOS トランジスタ、15…MOS トランジスタ、16, 17…出力電圧端子、21, 22, 31, 32, 33, 41, 42, 43, 51, 52, 53…制御信号入力端子、60~76…接続点、201~203…端子、 $C_1 \sim C_{12}$ 、 C_{20} 、 C_{21} …キャパシタ、 $D_1 \sim D_{13}$ …ダイオード、 $T_1 \sim T_{14}$ …MOS トランジスタ

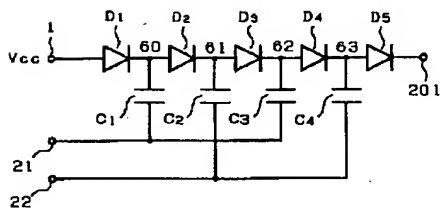
【図1】



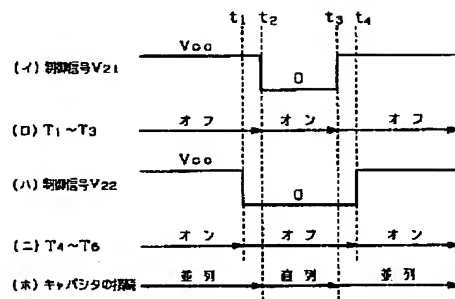
【図2】



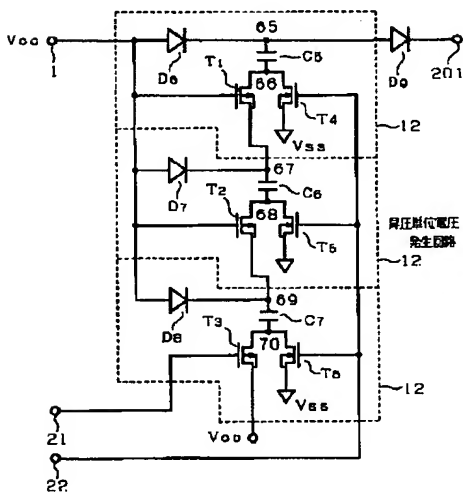
【図3】



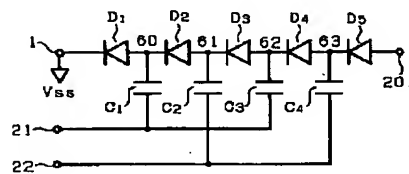
【図4】



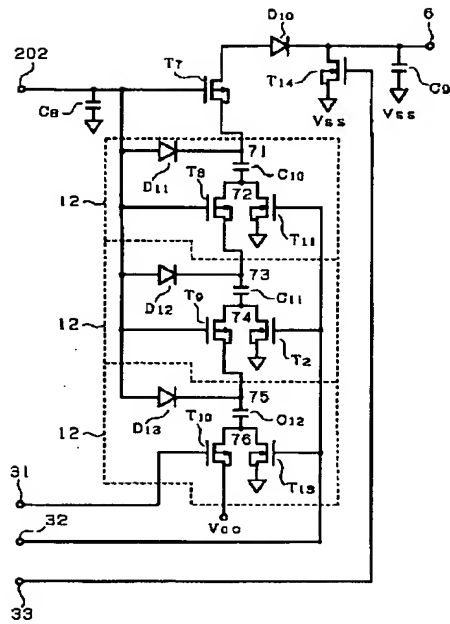
【図5】



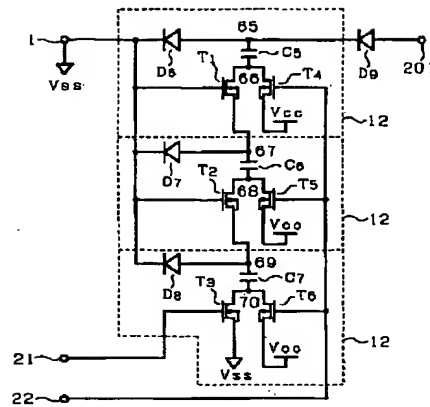
【図7】



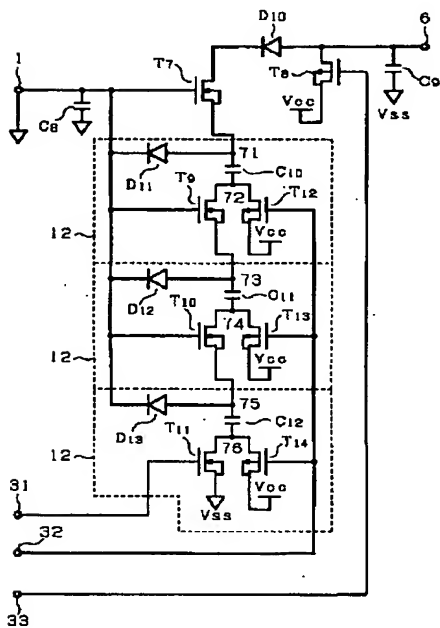
【図6】



【図8】



【図9】



【図10】

